

DERWENT-ACC-NO: 1991-159616

DERWENT-WEEK: 199122

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Semiconductor mfr. reducing generation of defective
product - resin-sealing only side of metal base on which
semiconductor chip is mounted, and etching metal base
NoAbstract Dwg 1/2

PATENT-ASSIGNEE: SHINKO DENKI KOGYO KK[SHIA]

PRIORITY-DATA: 1989JP-0231134 (September 6, 1989)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-
IPC				
<u>JP 03094431 A</u>	April 19, 1991	N/A	000	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 03094431A	N/A	1989JP-0231134	September 6, 1989

INT-CL (IPC): H01L021/50

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: SEMICONDUCTOR MANUFACTURE REDUCE GENERATE
DEFECT PRODUCT RESIN

SEAL SIDE METAL BASE SEMICONDUCTOR CHIP MOUNT ETCH
METAL BASE

NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-E02A1; U11-E02B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1991-122371

PAT-NO: JP403094431A

DOCUMENT-IDENTIFIER: JP 03094431 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: April 19, 1991

INVENTOR-INFORMATION:

NAME

TANAKA, MASATO

FUKASE, KATSUYA

ASSIGNEE-INFORMATION:

NAME COUNTRY

SHINKO ELECTRIC IND CO LTD N/A

APPL-NO: JP01231134

APPL-DATE: September 6, 1989

INT-CL (IPC): H01L021/50, H01L021/56

US-CL-CURRENT: 29/827, 438/FOR.371

ABSTRACT:

PURPOSE: To easily manufacture products corresponding to uses of various products and to reduce the number of production processes by a method wherein a face on one side, on which a semiconductor chip has been mounted, of a metal base is resin-sealed collectively inclusive of the semiconductor chip, bonding wires and circuit patterns and only the metal base is etched and removed.

CONSTITUTION: A metal base 10 is plated with gold; required circuit patterns are formed of a gold-plated layer. A semiconductor chip 14 is bonded to a die bonding part 12; circuit patterns 13 and the semiconductor chip 14 are wire-bonded; the semiconductor chip 14, a circuit component 16, the circuit patterns

13 and the like are resin-sealed. Then, the metal base 10 is etched and removed as a whole. Consequently, the semiconductor chip 14, the circuit component 16 and the like are resin-sealed; parts of the gold-plated layer such as the die bonding part 12, the circuit patterns 13 and the like are exposed. Thereby, a production operation can be made easy and the number of production processes can be reduced.

COPYRIGHT: (C)1991,JPO&Japio

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-94431

⑤ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月19日

H 01 L 21/50
21/56

B 6918-5F
H 6412-5F

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-231134

⑰ 出 願 平1(1989)9月6日

⑱ 発 明 者 田 中 正 人 長野県長野市大字栗田字舎利田711番地 新光電気工業株式会社内

⑲ 発 明 者 深 瀬 克 哉 長野県長野市大字栗田字舎利田711番地 新光電気工業株式会社内

⑳ 出 願 人 新光電気工業株式会社 長野県長野市大字栗田字舎利田711番地

㉑ 代 理 人 弁理士 綿貫 隆夫 外1名

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1. 金属ベース上に金めっき層等の非エッチン

グ金属層により回路パターンを形成し、

金属ベース上に半導体チップを接合して半導体チップと回路パターンとをワイヤボンディングによって接続し、

金属ベースの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、回路パターンを含めて一体的に樹脂封止し、

前記金属ベースのみをエッチング除去することを特徴とする半導体装置の製造方法。

2. 金属ベース上に半導体チップを接合し、

該半導体チップと前記金属ベースとをワイヤボンディングによって接続し、

前記金属ベースの半導体チップを搭載した一方の面側を、半導体チップ、ボンディングワイヤを含めて一体的に樹脂封止し、

金属ベースの露出面に、レジストパターンを設けて金属ベースをエッチングすることによって回路パターンを形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体チップ及び所要の回路部品等が一体的に樹脂封止されて提供される半導体装置の製造方法に関する。

(従来技術)

半導体装置は電子装置をはじめきわめて多種類の製品にひろく用いられており、ICカードといった小形商品にも利用されるようになっている。

これら製品で用いられる半導体装置の実装方式としては、パッケージに半導体チップを搭載してパッケージごと回路基板に実装するパッケージ方式と、回路基板に半導体チップをじかに接続するベアチップ方式とがある。

前記のパッケージ方式の場合は、パッケージ内に半導体チップが封止されて保護されているので、

取り扱いがきわめて容易であり、実装が容易にでき、また耐環境性に優れている等の特徴がある。

これに対して、ペアチップ方式は回路基板にじかに半導体チップを接続するから、小面積で実装でき、高密度実装が可能になるという特徴がある。(発明が解決しようとする課題)

上記のように、回路基板等に半導体チップを搭載する方法には、パッケージ方式あるいはペアチップ方式があるが、いずれもそれぞれ別体に形成した半導体チップ等の回路部品を別々に実装しているため、製造工数が複雑になって装置の信頼性が劣ること、装置の小形化が制限されること等の問題点があった。

また、半導体チップは通常回路基板等の接続用基板に実装されるから、ICカードのようなきわめて薄形に形成される装置においては基板の厚さが薄形化を制限するという問題点があった。

そこで、本発明は上記問題点を解消すべく考えられたものであり、その目的とするところは、半導体チップと回路部品等を容易に一体的に搭載する

ことができ、製造工数を減少させることができ、製造コストを下げることができると共に、製造プロセスを簡略化することによって不良品の発生率を低下させ、装置の信頼性を高めることができ、また、装置の小形化、薄形化が達成でき、高密度実装を可能とする半導体装置の製造方法を提供しようとするものである。

(課題を解決するための手段)

本発明は上記目的を達成するため次の構成をそなえる。

すなわち、金属ベース上に金めっき層等の非エッチング金属層により回路パターンを形成し、金属ベース上に半導体チップを接合して半導体チップと回路パターンとをワイヤボンディングによって接続し、金属ベースの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、回路パターンを含めて一体的に樹脂封止し、前記金属ベースのみをエッチング除去することを特徴とする。また、金属ベース上に半導体チップを接合し、該半導体チップと前記金属ベースとを

ワイヤボンディングによって接続し、前記金属ベースの半導体チップを搭載した一方の面側を、半導体チップ、ボンディングワイヤを含めて一体的に樹脂封止し、金属ベースの露出面に、レジストパターンを設けて金属ベースをエッチングすることによって回路パターンを形成することを特徴とする。

(作用)

金属ベース上に半導体チップを搭載した後、金属ベースの半導体チップは搭載された一方の面側のみを樹脂封止する。金属ベースをエッチングすることによって所要の回路パターンを形成する。

(実施例)

以下本発明の好適な実施例を添付図面に基づいて詳細に説明する。

(第1実施例)

第1図(a)~(e)は本発明に係る半導体装置の製造方法を示す説明図である。

第1図(a)は金属ベース10に金めっきを施し、金めっき層によって所要の回路パターンを形成す

る工程を示す。なお、金属ベース10は薄平板状に形成した金属板であるが、後工程においてエッチング除去する。したがって、金属ベース10にはエッチングによって溶解除去しやすい金属、たとえば銅等を用いる。

11は金属ベース10上に所定の回路パターンにしたがって設けたレジストパターンである。12は金めっきによって形成されたダイボンディング部、13は回路パターンである。

レジストパターン11を除去した後、第1図(b)に示すようにダイボンディングペーストあるいは金-シリコン共晶合金等により、ダイボンディング部12に半導体チップ14を接合し、回路パターン13と半導体チップ14とをワイヤボンディングする。15はボンディングワイヤである。

また、所要の回路部品16を回路パターン13の所定位置に接続する。

次に、半導体チップ14および回路部品16、回路パターン13等を樹脂封止する(第1図(c))。17は封止樹脂である。なお、この樹脂封止の際

には図のように金属ベース10の片面側のみを封止する。

次に、金属ベース10全体をエッチングして除去する。金属ベース10上にあらかじめ設けておいた金めっき層はこのエッチング処理によっては除去されないから、金めっき層、すなわちダイボンディング部12、回路パターン13はそのまま封止樹脂17に接合されて残る。こうして、第1図(d)に示す半導体装置が得られる。

なお、回路パターン13等は金めっき層に限らず、上記製造方法からわかるように、金属ベース10をエッチング除去する際に侵されない金属、すなわち非エッチング金属層によって形成すればよい。

上記方法によって得られた半導体装置は半導体チップ14および回路部品16等が樹脂封止され、ダイボンディング部12および回路パターン13等の金めっき層部分が露出している。この半導体装置は半導体チップモジュールとしてそのまま電子装置に実装することができるが、単体として用

ンディング性が得られるようにする。

なお、回路部品16も金属ベース10の所定位置に接合する。

次に、前記半導体チップ12および回路部品20等を樹脂封止する。この樹脂封止の際には、半導体チップ14が搭載されている金属ベース10の片面側のみ樹脂封止し、前記ボンディングワイヤ15等もすべて封止する(第2図(c))。この状態で、封止体の下面に金属ベース10が露出する。

次に、金属ベース10の下面にレジストを塗布し、露光してレジストパターン21を形成する。(第1図(d))。このレジストパターン21は金属ベース10をエッチングすることによって、ダイボンディング部22、回路パターン23を形成するためのものである。

したがって、レジストパターン21は前記ボンディング部20および回路部品16等の配置位置に合わせて形成する必要がある。

金属ベース10をエッチングしてダイボンディング部22および回路パターン23を形成した後、

いる場合は、第1図(e)のように外部接続用の端子部18等を除いて保護コーティング19によって回路パターン13等を被覆して保護するとよい。

(第2実施例)

第2図(a)~(e)は半導体装置の他の製造方法を示す説明図である。

図で10は金属ベースで、上記例と同様に銅の薄平板を用いる。第2図(a)は金属ベース10の所定位置に半導体チップ14を接合した状態である。半導体チップ14はダイボンディングペーストを用いる方法、あるいは金-シリコン共晶合金による方法等によって接合できる。金-シリコン共晶合金による場合はあらかじめ金属ベース10に金めっきを施す。

次に、第2図(b)に示すように、半導体チップ14と金属ベース10とをワイヤボンディングする。15はボンディングワイヤである。ボンディングワイヤ15が接合される金属ベース10のボンディング部20には、金めっき等を施して確実なボ

ンディング部20には、金めっき等を施して確実なボンディング部20を形成する。回路パターン23を保護するための保護コーティング19を施す。保護コーティング19は外部接続用の端子部18を露出させてコーティングするものとし、この後、端子部18に金めっきを施して端子部18を被覆する(第2図(e))。

なお、ダイボンディング部22および回路パターン23の耐環境性を得るため、上記方法とは逆に、ダイボンディング部22および回路パターン23に金めっきを施してから保護コーティング19を施すようにしてもよい。

また、上記方法で用いる金属ベース10としては電解銅箔が有効に使用できる。この電解銅箔はその表面が複雑な凹凸形状を有する粗面として形成されるもので、粗面を封止樹脂との接合側とすることにより、アンカー効果によって回路パターン23と強固に接合させることができる。この場合、金属ベース10のワイヤボンディング部20にはあらかじめ平滑処理および金めっき等を施しておくとい。

こうして、半導体チップおよび所要の回路部品

等が一体的に封止された半導体装置が得られる。

上記実施例で得られた半導体装置は、各種製品、用途に応じて所要の回路パターンを形成し、所要の回路部品を搭載することにより、必要な機能を有するモジュールとして設計して製造でき、各種機器に搭載して効果的に利用することができる。また、第1図、第2図に示したように半導体チップは回路パターンに接続されているだけで、回路基板を要しないから、装置の小形化、薄形化にきわめて効果的である。これによって、ICカードのような小形商品にも容易に応用利用することが可能となる。

また、上記製造方法ではワイヤボンディング法によっているから、製造上の信頼性が高いと共に、製造も容易であるという利点がある。さらに、リードフレームを用いる場合等とくらべて、回路パターンを高密度に形成することができ、高集積化された半導体チップを容易に搭載することが可能となる。

以上、本発明について好適な実施例を挙げて種

々説明したが、本発明はこの実施例に限定されるものではなく、発明の精神を逸脱しない範囲内で多くの改変を施し得るのはもちろんのことである。(発明の効果)

上述したように、本発明に係る半導体装置の製造方法によれば、各種製品の用途に応じた製品を製造することが容易にでき、また一体的に樹脂封止することによって製造工数を減らすことができ、製品の信頼性を向上させることができる。また、これによって製造コストを下げることが可能となる。また、半導体装置の小形化、薄形化を達成することができて高密度実装を可能にする等の著効を奏する。

4. 図面の簡単な説明

第1図は本発明に係る半導体装置の製造方法を示す説明図、第2図は他の製造方法を示す説明図である。

10・・・金属ベース、 11・・・レジストパターン、 12・・・ダイボンディング部、 13・・・回路パターン、 14・・・半導体チ

ップ、 15・・・ボンディングワイヤ、 16・・・回路部品、 17・・・封止樹脂、 18・・・端子部、 19・・・保護コーティング、 20・・・ボンディング部、 21・・・レジストパターン、 22・・・ダイボンディング部、 23・・・回路パターン、 24・・・金めっき。

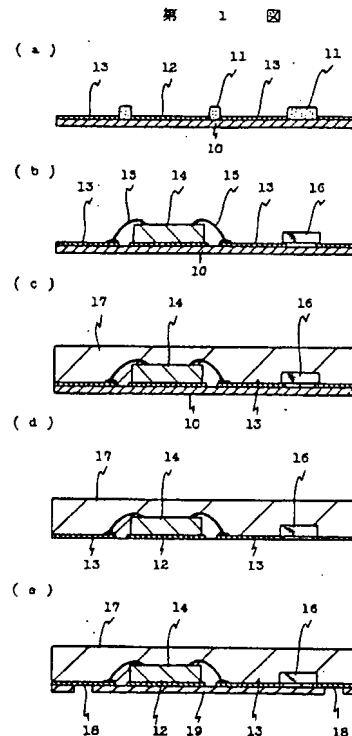
特許出願人

新光電気工業株式会社

代表者 井上 貞夫

代理人(7762)

綿貫 隆夫



第 2 図

